

Docket No.: 60188-793

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of : Customer Number: 20277  
: :  
Michikazu MATSUMOTO : Confirmation Number:  
: :  
Serial No.: : Group Art Unit:  
: :  
Filed: March 04, 2004 : Examiner: Unknown  
: :  
For: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

**CLAIM OF PRIORITY AND**  
**TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

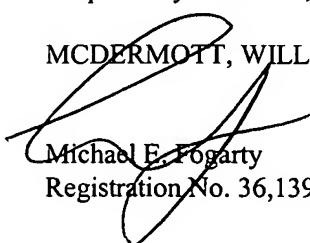
Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application No. 2003-058804, filed March 5, 2003**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

  
MCDERMOTT, WILL & EMERY

Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:tlb  
Facsimile: (202) 756-8087  
**Date: March 4, 2004**

60188-793  
MATSUMOTO  
March 4, 2004

日本国特許庁  
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月 5日  
Date of Application:

出願番号 特願2003-058804  
Application Number:

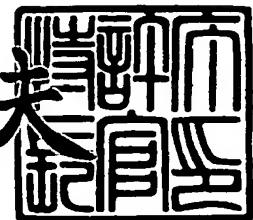
[ST. 10/C] : [JP 2003-058804]

出願人 松下電器産業株式会社  
Applicant(s):

2004年 2月 6日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 2926440120

【提出日】 平成15年 3月 5日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 松元 道一

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

## 【選任した代理人】

【識別番号】 100113262

## 【弁理士】

【氏名又は名称】 竹内 祐二

## 【選任した代理人】

【識別番号】 100115059

## 【弁理士】

【氏名又は名称】 今江 克実

## 【選任した代理人】

【識別番号】 100115691

## 【弁理士】

【氏名又は名称】 藤田 篤史

## 【選任した代理人】

【識別番号】 100117581

## 【弁理士】

【氏名又は名称】 二宮 克也

## 【選任した代理人】

【識別番号】 100117710

## 【弁理士】

【氏名又は名称】 原田 智雄

## 【選任した代理人】

【識別番号】 100121500

## 【弁理士】

【氏名又は名称】 後藤 高志

## 【選任した代理人】

【識別番号】 100121728

## 【弁理士】

【氏名又は名称】 井関 勝守

## 【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 ゲート電極を有するMOSトランジスタを備えた半導体装置であって、

前記ゲート電極の両側には、ダミーゲート電極が離間して配置されており、

前記ゲート電極の上部には、第1のシリサイド層が形成されており、

前記ゲート電極と前記ダミーゲート電極との間に位置する領域には、第2のシリサイド層が形成されており、

前記第1のシリサイド層の厚さは、前記第2のシリサイド層の厚さよりも厚い半導体装置。

【請求項2】 ゲート電極を有するMOSトランジスタを備えた半導体装置であって、

前記ゲート電極の両側には、当該ゲート電極と異なる他のゲート電極およびダミーゲート電極の少なくとも一方の電極が離間して配置されており、

前記ゲート電極の上部には、第1のシリサイド層が形成されており、

前記ゲート電極と、当該ゲート電極と異なる前記他のゲート電極および前記ダミーゲート電極の少なくとも一方の電極との間に位置する領域には、第2のシリサイド層が形成されており、

前記第1のシリサイド層の厚さは、前記第2のシリサイド層の厚さよりも厚い半導体装置。

【請求項3】 前記ダミーゲート電極は、ゲート電極の形状を有する電極パターンであり、かつ前記半導体装置における半導体集積回路に電気的に接続されていない電極である、請求項1または2に記載の半導体装置。

【請求項4】 前記第2のシリサイド層の厚さは、前記第1のシリサイド層の厚さの80%以下である、請求項1から3の何れか一つに記載の半導体装置。

【請求項5】 前記MOSトランジスタは、素子分離絶縁膜に囲まれた素子領域に形成されており、

前記第2のシリサイド層の厚みは、前記素子領域における当該第2のシリサイ

ド層の最大厚みを  $T_M$ 、最小厚みを  $T_m$ としたときに、 $2 (T_M - T_m) / (T_M + T_m) < 0$ 。3を満たす、請求項1から6のいずれか一つに記載の半導体装置。

**【請求項6】** 前記ゲート電極は、少なくとも表面にシリコン層を有する半導体基板の上に形成され、

前記ゲート電極の側壁面から当該ゲート電極の隣に位置する前記他のゲート電極または前記ダミーゲート電極の側壁面までの距離Aは、前記ゲート電極の高さBに対して、 $A \leq 2B$ の関係を有する、請求項1から5のいずれか一つに記載の半導体装置。

**【請求項7】** 前記MOSトランジスタは、素子分離絶縁膜に囲まれた素子領域に形成されており、

前記ゲート電極は、略平行に延びる二つの部分と、当該二つの部分のそれぞれの一端を接続している接続部分とからなり、

前記接続部分は、前記素子分離絶縁膜上に位置し、

前記素子分離絶縁膜と前記素子領域との境界から前記接続部分までの距離Cは、前記ゲート高さBに対して、 $C \geq 2B$ の関係を有する、請求項6に記載の半導体装置。

**【請求項8】** 前記MOSトランジスタは、ゲート長が $0.15 \mu m$ 以下のトランジスタである、請求項1から7のいずれか一つに記載の半導体装置。

**【請求項9】** 前記第1のシリサイド層および前記第2のシリサイド層は、 $SiO_2$ 、 $TiSi_2$ および $NiSi$ からなる群から選ばれた一つを含む、請求項1から8のいずれか一つに記載の半導体装置。

**【請求項10】** ゲート電極を有するMOSトランジスタを備えた半導体装置であって、

前記ゲート電極は、少なくとも表面にシリコン層を有する半導体基板の上に形成されており、

前記MOSトランジスタは、ゲート長が $0.15 \mu m$ 以下のトランジスタであって、素子分離絶縁膜に囲まれた素子領域に形成されており、

前記ゲート電極の両側には、当該ゲート電極と異なる他のゲート電極およびダ

ミーゲート電極の少なくとも一方の電極が離間して配置されており、

前記ゲート電極、前記他のゲート電極および前記ダミーゲート電極の側壁に隣接してサイドウォールが設けられており、

前記ゲート電極の上部には、第1のシリサイド層が形成されており、

前記ゲート電極と、当該ゲート電極と異なる前記他のゲート電極および前記ダミーゲート電極の少なくとも一方の電極との間に位置する前記素子領域における前記半導体基板の表面には、第2のシリサイド層が形成されており、

前記第1のシリサイド層の厚さは、前記第2のシリサイド層の厚さよりも厚い、半導体装置。

**【請求項11】** 少なくとも表面にシリコン層を有する半導体基板の上にゲート絶縁膜を形成し、その上にアモルファスシリコン又はポリシリコン膜を堆積する工程と、

前記アモルファスシリコン又はポリシリコン膜をパターニングしてゲート電極と、当該ゲート電極の両側に離間して位置し当該ゲート電極とは異なる他のゲート電極およびダミーゲート電極の少なくとも一方の電極とを形成する工程と、

前記半導体基板に不純物をドープしてソースおよびドレインとなる不純物拡散層を形成する工程と、

前記半導体基板と、前記ゲート電極と、前記他のゲート電極又は前記ダミーゲート電極の上に金属膜を堆積し熱処理を行って、前記半導体基板上と、前記ゲート電極上と、前記他のゲート電極および前記ダミーゲート電極の少なくとも一方の電極上にシリサイドを形成する工程と  
を含む、半導体装置の製造方法。

**【請求項12】** 前記ゲート電極の側壁と、前記他のゲート電極および前記ダミーゲート電極の少なくとも一方の電極の側壁とにそれぞれ隣接しているサイドウォールを形成する工程をさらに含む、請求項11に記載の半導体装置の製造方法。

**【請求項13】** 前記金属膜は、Co、TiおよびNiからなる群から選ばれた一つを含有する、請求項11または12に記載の半導体装置の製造方法。

**【発明の詳細な説明】**

**【0001】****【発明の属する技術分野】**

本発明は、半導体装置およびその製造方法に関し、特にMOSトランジスタを備えた半導体装置およびその製造方法に関する。

**【0002】****【従来の技術】**

近年、MOSトランジスタを含むLSIは、なお一層の高速化及び高集積化を図るため、該MOSトランジスタの微細化がますます強く要望されている。

**【0003】**

MOSトランジスタの微細化を進展するには、トランジスタのゲート長及びゲート幅の各寸法を縮小するだけではなく、ソースドレイン拡散層の接合面を浅くする浅接合化を行なう必要がある。

**【0004】**

一方で、ゲート長の縮小化にともなうゲート電極のシート抵抗増大や、ソースドレイン拡散層の縮小化と浅接合化にともなう拡散層のシート抵抗増大を補う必要性がある。

**【0005】**

これらの抵抗増大に対処するために最近では、ゲート電極上部およびソースドレイン拡散層表面を、低抵抗であるシリサイド化するシリサイドプロセスが多用されるようになった。シリサイドプロセスは、ポリシリコンで形成されたゲート電極上部とソースドレイン拡散層である基板のシリコン表面部に高融点金属（例えば、Co、Ti、Ni）をスパッタリング法を用いて堆積し、その後の熱処理によりゲート電極上部ではポリシリコンと、ソースドレイン拡散層表面はシリコンと高融点金属膜とを反応させてシリサイド層を形成し、低抵抗化を図るものである。

**【0006】****【発明が解決しようとする課題】**

MOSトランジスタを含むLSIでは、複数のゲート電極同士が隣り合って配列されている領域が存在する。このような領域に高融点金属を堆積させると、ス

パッタリング法のステップカバレッジの悪さに由来して、二つのゲート電極の間に挟まれたソースドレイン拡散層の表面に堆積する金属膜の厚みは、ゲート電極配列の端であって片側にのみゲート電極が存しているソースドレイン拡散層の表面に堆積する金属膜の厚みよりも薄くなる。従って、ソースドレイン拡散層表面のシリサイド層も、二つのゲート電極の間であるか否かによって厚みに差が生じる。

#### 【0007】

上記のようにソースドレイン拡散層表面のシリサイド層の厚みに差があると、以下のような問題が生じる。

#### 【0008】

シリサイド層が厚い部分では、ソースドレイン拡散層の拡散層深さを浅くできないため、浅接合化を行うと接合リーキ電流が非常に大きくなり、特性劣化の原因となる。逆にシリサイド層が薄い部分では、シート抵抗の低減が十分ではなく、薄くなりすぎると断線等が引き起こされる可能性が高い。

#### 【0009】

ソースドレイン拡散層表面のシリサイド層の厚みの差を小さくするには、ゲート電極高さを低減すればよいのであるが、トランジスタ特性を保持しつつゲート電極高さをなすなわちポリシリコン膜厚を薄膜化するのは、非常に困難になりつつある。これは、ポリシリコン膜厚を薄膜化すると、ソースドレイン電極を形成する際のイオン注入時に、グレインバウンダリーに沿ってイオンがチャネリングを起こし、ゲート電極の下に不安定にイオンが注入され、トランジスタのソース-ドレイン間のリーキ電流が増加するためである。したがって、簡単にはポリシリコン膜厚を薄膜化することができない。

#### 【0010】

また、上記の課題を解決することを目的に、高融点金属膜を堆積する場合により指向性を持たせるためのスパッタリング法としてコリメーションスパッタリングも提案されている。コリメーションスパッタリング法を用いて高融点金属膜を形成した場合、上記従来例で示した薄膜領域と厚膜領域の膜厚差は少なくなるので課題を解決する一手段となる。

### 【0011】

しかしながら、薄膜領域と厚膜領域の膜厚差は少なくすることのみでは、今日の半導体装置の微細化に対応できなくなってきた。すなわち、ゲート長が0.15μm以下になると、ゲート長及びゲート幅が小さくなるため、ゲート電極上のシリサイド膜の形成が困難となってきた。シリサイド形成プロセスが不十分であるとすぐに断線してしまい、歩留り低下の大きな原因となる。したがって、今後の微細化プロセスにおけるシリサイド膜の形成は、ゲート電極上はできるだけ厚膜化し、ソースドレイン拡散層上のシリサイド膜は薄膜化（接合深さが浅くなるため）することが目標となる。

### 【0012】

本発明は、このような事情に鑑みてなされたものであり、その目的とするところは、ソースドレイン拡散層におけるシリサイド層厚みが均一でかつゲート電極上のシリサイド層厚みは断線のおそれがない厚いものである半導体装置およびその製造方法を提供することにある。

### 【0013】

#### 【課題を解決するための手段】

本発明の第1の半導体装置は、ゲート電極を有するMOSトランジスタを備えた半導体装置であって、前記ゲート電極の両側には、ダミーゲート電極が離間して配置されており、前記ゲート電極の上部には、第1のシリサイド層が形成されており、前記ゲート電極と前記ダミーゲート電極との間に位置する領域には、第2のシリサイド層が形成されており、前記第1のシリサイド層の厚さは、前記第2のシリサイド層の厚さよりも厚い。

### 【0014】

本発明の第2の半導体装置は、ゲート電極を有するMOSトランジスタを備えた半導体装置であって、前記ゲート電極の両側には、当該ゲート電極と異なる他のゲート電極およびダミーゲート電極の少なくとも一方の電極が離間して配置されており、前記ゲート電極の上部には、第1のシリサイド層が形成されており、前記ゲート電極と、当該ゲート電極と異なる前記他のゲート電極および前記ダミーゲート電極の少なくとも一方の電極との間に位置する領域には、第2のシリサ

イド層が形成されており、前記第1のシリサイド層の厚さは、前記第2のシリサイド層の厚さよりも厚い。

#### 【0015】

前記ダミーゲート電極は、ゲート電極の形状を有する電極パターンであり、かつ前記半導体装置における半導体集積回路に電気的に接続されていない電極である。

#### 【0016】

前記第2のシリサイド層の厚さは、前記第1のシリサイド層の厚さの80%以下である。

#### 【0017】

前記MOSトランジスタは、素子分離絶縁膜に囲まれた素子領域に形成されており、前記第2のシリサイド層の厚みは、前記素子領域における当該第2のシリサイド層の最大厚みをTM、最小厚みをTmとしたときに、 $2(TM - Tm) / (TM + Tm) < 0.3$ を満たすことが好ましい。

#### 【0018】

前記ゲート電極は、少なくとも表面にシリコン層を有する半導体基板の上に形成され、前記ゲート電極の側壁面から当該ゲート電極の隣に位置する前記他のゲート電極または前記ダミーゲート電極の側壁面までの距離Aは、前記ゲート電極の高さBに対して、 $A \leq 2B$ の関係を有することが好ましい。

#### 【0019】

ある好適な実施形態において、前記MOSトランジスタは、素子分離絶縁膜に囲まれた素子領域に形成されており、前記ゲート電極は、略平行に延びる二つの部分と、当該二つの部分のそれぞれの一端を接続している接続部分とからなり、前記接続部分は、前記素子分離絶縁膜上に位置し、前記素子分離絶縁膜と前記素子領域との境界から前記接続部分までの距離Cは、前記ゲート高さBに対して、 $C \geq 2B$ の関係を有する。

#### 【0020】

前記MOSトランジスタは、ゲート長が $0.15 \mu m$ 以下のトランジスタであることが好ましい。

**【0021】**

前記第1のシリサイド層および前記第2のシリサイド層は、 $\text{CoSi}_2$ 、 $\text{TiSi}_2$ および $\text{NiSi}$ からなる群から選ばれた一つを含むことが好ましい。

**【0022】**

本発明の第3の半導体装置は、ゲート電極を有するMOSトランジスタを備えた半導体装置であって、前記ゲート電極は、少なくとも表面にシリコン層を有する半導体基板の上に形成されており、前記MOSトランジスタは、ゲート長が0.15  $\mu\text{m}$ 以下のトランジスタであって、素子分離絶縁膜に囲まれた素子領域に形成されており、前記ゲート電極の両側には、当該ゲート電極と異なる他のゲート電極およびダミーゲート電極の少なくとも一方の電極が離間して配置されており、前記ゲート電極、前記他のゲート電極および前記ダミーゲート電極の側壁に隣接してサイドウォールが設けられており、前記ゲート電極の上部には、第1のシリサイド層が形成されており、前記ゲート電極と、当該ゲート電極と異なる前記他のゲート電極および前記ダミーゲート電極の少なくとも一方の電極との間に位置する前記素子領域における前記半導体基板の表面には、第2のシリサイド層が形成されており、前記第1のシリサイド層の厚さは、前記第2のシリサイド層の厚さよりも厚い。

**【0023】**

本発明の半導体装置の製造方法は、少なくとも表面にシリコン層を有する半導体基板の上にゲート絶縁膜を形成し、その上にアモルファスシリコン又はポリシリコン膜を堆積する工程と、前記アモルファスシリコン又はポリシリコン膜をパターニングしてゲート電極と、当該ゲート電極の両側に離間して位置し当該ゲート電極とは異なる他のゲート電極およびダミーゲート電極の少なくとも一方の電極とを形成する工程と、前記半導体基板に不純物をドープしてソースおよびドレインとなる不純物拡散層を形成する工程と、前記半導体基板と、前記ゲート電極と、前記他のゲート電極又は前記ダミーゲート電極の上に金属膜を堆積し熱処理を行って、前記半導体基板上と、前記ゲート電極上と、前記他のゲート電極および前記ダミーゲート電極の少なくとも一方の電極上にシリサイドを形成する工程とを含む。

**【0024】**

前記ゲート電極の側壁と、前記他のゲート電極および前記ダミーゲート電極の少なくとも一方の電極の側壁とにそれぞれ隣接しているサイドウォールを形成する工程をさらに含むことが好ましい。

**【0025】**

前記金属膜は、Co、TiおよびNiからなる群から選ばれた一つを含有することが好ましい。

**【0026】****【発明の実施の形態】**

本発明の実施の形態を説明する前に、比較例として本発明を適用していない半導体装置について、図6を用いて説明する。なお、図6(a)は、平面図であり、図6(b)はX-X'線断面図であり、図6(c)はY-Y'線断面図である。

**【0027】**

図6に示す比較例の半導体装置では、素子分離絶縁膜101で囲まれた素子領域(ゲート電極108およびソースドレイン拡散層105が形成される領域)にゲート電極108がコの字に曲がって形成されている。

**【0028】**

図6において、素子分離絶縁膜101は、トランジスタ間を電気的に分離するための分離絶縁膜である。102は、トランジスタのゲート絶縁膜である。103は、ゲート電極108を構成するポリシリコン膜である。ゲート電極108は、ポリシリコン膜に代えて、アモルファスシリコン膜によって構成されていてもよい。104は、LDD(lightly doped drain)注入、エクステンション(EX)注入、Pocket注入等を実施した後に形成される、絶縁膜からなるサイドウォールである。105は、ソースドレイン拡散層であって、高濃度のイオンを注入し熱処理を実施して形成される。106は、ゲート電極108となるポリシリコン上に形成されたシリサイド膜である。107aは、ソースドレイン拡散層105上に形成されたシリサイド膜、107bもまたソースドレイン拡散層105上に形成されたシリサイド膜である。

**【0029】**

ゲート電極108上およびソースドレイン拡散層105上に形成されるシリサイド膜106, 107a, 107bは、スパッタリング法を用いて高融点金属（例えば、Co、Ti又はNi）膜を堆積した後、熱処理を行うことで、下地のポリシリコン膜103およびソースドレイン拡散層105を形成するシリコン基板と反応させて形成される。

**【0030】**

一般的に、上記高融点金属膜の堆積は、上述のようにスパッタリング法を用いて堆積されるが、スパッタリング法によって堆積された高融点膜のステップカバレッジは良くない。すなわち、スパッタリングによって堆積する高融点金属粒子の指向性は良くない。

**【0031】**

したがって、図6に示した半導体装置では、一定の高さを有するゲート電極108が存在するため、コの字状のゲート電極108間に囲まれた拡散層105領域（107aの領域）に堆積される高融点金属膜の膜厚は、横方向に他のゲート電極108がない拡散層105領域（107bの領域）に堆積される高融点金属膜の膜厚に比べて薄くなる。それゆえ、高融点金属膜堆積後の熱処理によって形成されるシリサイド膜厚は、コの字状のゲート電極108に囲まれた107aの領域の方がゲート電極108に囲まれていない107bの領域に比べて薄くなる。この現象は、ゲート電極108高さが高ければ高いほど、又、ゲート電極108間の距離が狭ければ狭いほど顕著となり、シリサイド膜107a, 107bの厚みの差が大きくなる。

**【0032】**

このように、シリサイド膜107a, 107bの厚みの差が大きくなると、まず浅接合化の点で問題が生じる。すなわち、半導体装置の高性能化のために、MOSトランジスタの微細化を進展するには、トランジスタのゲート長及びゲート幅の各寸法を縮小するだけではなく、ソースドレイン拡散層105の接合面を浅くする浅接合化を行なう必要があるのであるが、上記の従来の半導体装置では、107bの領域のシリサイド膜厚が厚く形成されるため、107bの領域の拡

散層深さを浅くできない。この場合に無理に拡散層深さを浅くすると、拡散層105を浅接合化したときに接合リーク電流が非常に大きくなり特性劣化の原因となることが問題となる。

#### 【0033】

また、シリサイド膜厚が相対的に薄膜化された領域である107aでは、シート抵抗の低減が十分でなく、加えて、薄膜化が大きくなると断線等の問題を引き起こす可能性が高い。

#### 【0034】

さらに、図6(c)にも示したように、三方をゲート電極108に囲まれた領域である107a2の箇所では、ゲート電極108の平行部分に挟まれた107aの領域の中においてもシリサイド膜厚がより薄くなる。すなわちシリサイド膜厚は、107a3 < 107a2 < 107a1となり、シリサイドの厚膜領域と薄膜領域の差がいっそう大きくなる。

#### 【0035】

これらの対策を行うために、スパッタリングで堆積する高融点金属膜の膜厚を薄くすれば、ゲート電極108上に堆積される高融点金属膜の膜厚や、ゲート電極108の平行な部分の間のソースドレイン拡散層105上のシリサイド膜(7aの領域)の膜厚がより一層非常に薄くなり、シート抵抗低減がより困難となる。特に、ゲート電極108上に形成するシリサイド膜106は、下地のポリシリコン膜103がグレインを有することおよび高濃度にドーピングされていることからシリサイド形成が困難となり、断線を引き起こす場合が生じる。

#### 【0036】

特に設計ルールが0.15μm以下となって、例えば、ゲート長が60~70nmと非常に細くなっている現在では、従来の高融点金属膜厚でも、ゲート電極108上のシリサイド膜106の形成が非常に困難となってきている。シリサイド形成プロセスが不十分であるとすぐに断線してしまい、歩留り低下の大きな原因となる。

#### 【0037】

本願発明者らは、上述の問題を解決するために、ソースドレイン拡散層105

上のシリサイド膜107a, 107bの厚みの差を解消すればよいことに思い至り、検討を続けた結果、高融点金属膜を堆積させる際にソースドレイン拡散層105のあらゆる場所でほぼ同じ堆積条件となる方法を考えついて、本願発明に至った。

### 【0038】

以下、図面を参照しながら、本発明による実施の形態を説明する。以下の図面においては、説明の簡素化のため、実質的に同一の機能を有する構成要素を同一の参照符号で示す。なお、本発明は以下の実施の形態に限定されない。

### 【0039】

#### (第1の実施形態)

図1 (a) は、本発明の第1の実施形態における半導体装置の平面図であり、図1 (b) は、図1 (a) におけるX-X' 線断面図である。

### 【0040】

本実施形態の半導体装置は、素子分離絶縁膜1で囲まれた素子領域10 (ゲート電極8およびソースドレイン拡散層5が形成される領域でアクティブ領域ともいう) に形成されたMOSトランジスタ20を備えたものであり、半導体基板30上に2本のゲート電極8, 8' が形成されている。そして、ゲート電極8, 8' の一方の側方には、ダミーゲート電極9, 9が配置されている。ダミーゲート電極9, 9は、素子分離絶縁膜1上に配置されている。

### 【0041】

本実施形態の半導体装置において、素子分離絶縁膜1はトランジスタ間を電気的に分離するためのものである。この素子分離絶縁膜1に囲まれた素子領域10の上にゲート電極8を構成するポリシリコン膜3、及び素子分離絶縁膜1上にダミーゲート電極9を構成するポリシリコン膜3が形成されている。ここで2は、トランジスタのゲート絶縁膜である。ポリシリコン膜3は、膜の堆積時にはアモルファスシリコン膜であってもよい。このポリシリコン膜3の上には、第1のシリサイド層6が形成されている。4は、LDD注入、エクステンション(EXT)注入、Pocket注入等を実施した後に形成される絶縁膜であるサイドウォールである。また、素子領域10のゲート電極8, 8' が形成されてない部分には

、高濃度のイオンが注入されてその後に熱処理を施されて形成されたソースドレイン拡散層5（不純物拡散層）が存している。さらに、このソースドレイン拡散層5の上には第2のシリサイド層7が形成されている。

#### 【0042】

本実施形態の半導体装置では、ダミーゲート電極9, 9'は、ゲート電極8, 8'と同じ形状を有している電極パターンであり、ゲート絶縁膜2の有無の違いを除けば、構造もゲート電極8, 8'と同じである。また、図7に示すように、ゲート電極8, 8'は、コンタクト電極40, 40'を介して層間絶縁膜44の上に形成された上層配線42, 42'に接続されており、半導体装置における半導体集積回路に電気的に接続している。しかし、ダミーゲート電極9, 9'は、半導体装置における半導体集積回路に電気的に接続されておらず、第2のシリサイド層7の厚みの均一性を向上させるために形成されている。

#### 【0043】

図の左側のゲート電極8の両側には、別のゲート電極8' とダミーゲート電極9' とがそれぞれ離間して配置されている構成となっており、右側のゲート電極8'も同様に両側に別のゲート電極8とダミーゲート電極9とがそれぞれ離間して配置されている。このような配置になっているので、ソースドレイン拡散層5上に形成される第2のシリサイド層7の厚みが均一となる。つまり、スパッタリング時の環境をソースドレイン拡散層5の任意の場所で同じになるようにしているため、ソースドレイン拡散層5上のあらゆる箇所の高融点金属膜が実質的に均一に且つゲート電極8, 8'上に比べて薄膜で堆積されるからである。

#### 【0044】

さらに、本実施形態では、隣あうゲート電極間距離およびゲート電極-ダミーゲート電極間距離（両電極の側壁間の距離）がAという値で統一されているため、第2のシリサイド層7は厚みがより均一になるように形成される。この厚みの均一性は、素子領域10における第2のシリサイド層7の最大厚みをTM、最小厚みをTmとしたときに、 $2 (TM - Tm) / (TM + Tm) < 0.3$ という関係式を満たすものであることが好ましい。この式の値が0.3以上であると、ソースドレイン拡散層5を浅接合化する際に接合リード電流が非常に大きくなるこ

と及びシート抵抗を低減させることができることから特性劣化の原因となってしまう。この値が0.2未満であると、接合リーキ電流のばらつきが小さくなりシート抵抗も低くできてより好ましく、0.1未満であると理想的でありますに好ましい。

#### 【0045】

一方で、ゲート電極8, 8' 及びダミーゲート電極9, 9上に堆積される高融点金属膜の膜厚は、ソースドレイン拡散層5上の高融点金属膜の膜厚に対して厚膜で堆積される。これは、拡散層5上のように両脇に堆積の邪魔をするものがないからである。つまり、スパッタリング法による高融点金属膜の形成工程においてステップカバレッジが悪いため、ゲート電極8, 8' 及びダミーゲート電極9, 9上の方がソースドレイン拡散層5上よりも形成される高融点金属膜の膜厚が厚くなり、従って第1のシリサイド層6の方が第2のシリサイド層7よりも厚くなる。

#### 【0046】

このように第2のシリサイド層7に比べて第1のシリサイド層6の方を厚く形成できるので、ゲート電極8, 8' の断線のおそれが非常に小さくなる。両層6, 7の厚みの比は、第2のシリサイド層7の厚さが第1のシリサイド層6の厚さの80%以下であることが好ましく、50%以下であるとゲート電極8, 8' の断線のおそれがさらに小さくなりより好ましいが、第2のシリサイド層7も一定の厚みが必要なので、20%以下とすることは好ましくない。

#### 【0047】

次に、本実施形態に係る半導体装置の製造方法について説明をする。

#### 【0048】

図2 (a) ~ (e) は、半導体装置の製造の各工程における断面図を順次示したものである。

#### 【0049】

図2 (a) は、半導体基板30に、MOSトランジスタ素子間を電気的に分離する素子分離絶縁膜1を形成し、閾値電圧制御用の不純物注入等を実施し、さらに半導体基板30上にゲート絶縁膜2を形成した後、ポリシリコン膜3を堆積す

る工程を終えた状態である。ここで、素子分離絶縁膜1の深さは300nmとし、ゲート絶縁膜2厚は2.5nmであって、ポリシリコン膜3は300nm堆積させた。

#### 【0050】

図2 (b) は、ゲート電極パターンをリソグラフィーにてパターンニングしドライエッチングにてポリシリコン膜3をエッチングする工程を終えた状態である。この工程にて、ゲート電極8, 8' とダミーゲート電極9, 9を同時にパターンングした。特に、ゲート電極間およびゲート電極-ダミーゲート電極間の距離Aは固定値で300nmに設定してパターンングを行った。なお、第1のシリサイド層6形成後の最終的なゲート電極8, 8' 高さ及びダミーゲート電極9, 9高さBが、ゲート電極間距離A (=ゲート電極-ダミーゲート電極距離) と略同等となるように設定している。

#### 【0051】

図2 (c) は、LDD注入やEX注入、Pocket注入等を実施した後に絶縁膜を堆積し、RIE (reactive ion etching) によりその絶縁膜をドライエッチングしてサイドウォール4を形成する工程と、その後にソースドレイン不純物注入、活性化を実施しソースドレイン拡散層5を形成する工程を終えた状態である。サイドウォール4は、ダミーゲート電極9, 9の側壁にも隣接して設けられている。

#### 【0052】

図2 (d) は、高融点金属膜11としてCo膜を8nmの膜厚で、さらにその上にCo膜の酸化を防ぐためのTiN膜を20nmの膜厚でスパッタリング法を用いて堆積した状態である。なお、高融点金属膜11をスパッタリングにて堆積したために、ステップカバレッジが悪くゲート電極8, 8' 及びダミーゲート電極9, 9上では厚く、ゲート電極間およびゲート電極-ダミーゲート電極間のソースドレイン拡散層5上ではそれよりも薄く堆積される。本実施形態の場合、TiN膜下に堆積されるCoの膜厚は、ゲート電極8, 8' 上では目標膜厚である8nmになったが、ソースドレイン拡散層5上ではその半分の膜厚である4nmになった。

## 【0053】

図2 (e) は、 R T A (Rapid Thermal Anneal) 法を用いて 450°C 90秒の熱処理をし、その後で、絶縁膜上の未反応Co膜とTiN膜とを選択ウエットエッティングして除去し、さらに第2の熱処理として 850°C 30秒の熱処理を実施する工程を終えた状態である。こうして本実施形態の半導体装置が形成される。このとき第1のシリサイド層6の厚みは 30 nm であり、第2のシリサイド層7の厚みはその半分の 15 nm であった。また、第2のシリサイド層7の厚みの均一性  $2 (T_m - T_m) / (T_m + T_m)$  は、 0.2 であった。

## 【0054】

本実施形態の半導体装置では、ゲート電極間距離及びゲート電極-ダミーゲート電極間距離Aをゲート電極高さ及びダミーゲート電極高さBとを略同等に設定したが、この電極間距離Aを小さくするほど、又は、電極高さBを大きくするほど第1のシリサイド層6と第2のシリサイド層7との厚み差を大きくすることができる。ここで、  $A \leq 2B$  の関係式を満たせば、第1のシリサイド層6と第2のシリサイド層7との厚み差が実用的な大きさとなり好ましい。

## 【0055】

また、本実施形態の半導体装置は、ゲート長が 0.15  $\mu$ m よりも小さい 0.1  $\mu$ m で設計されている。このようにゲート長が小さいものであっても本実施形態の半導体装置は、第1のシリサイド層6を十分に厚くすることができて、断線を防止できる。

## 【0056】

このように本実施形態では、シリサイド層6, 7の厚みに関して、ゲート電極8, 8' とソースドレイン拡散層5上では約2倍の膜厚差を生じさせることができたが、ゲート電極高さBが高ければ高いほど、又、ゲート電極間距離A (ゲート電極-ダミーゲート電極間距離) が短ければ短いほど膜厚差を大きくすることができるとなり、更に、全ゲート電極領域で距離Aが統一されている場合、拡散層5上のシリサイド膜厚も均一となる。

## 【0057】

したがって、微細化にともなって要求される、ゲート電極8, 8' 上シリサイ

ド膜6の厚膜化（シート抵抗低減と断線防止）と、ソースドレイン拡散層5の浅接合化にともなうシリサイド膜7厚の薄膜化（接合リーク電流上昇の防止）との両立が可能となる。

### 【0058】

#### （第2の実施形態）

本発明の第2の実施形態について図面を参照しながら説明する。本実施形態は、第1の実施形態とはゲート電極8の構成のみが異なっているので、異なる部分を説明する。また、構成が図6の比較例と類似しているので、比較例との対比も示す。

### 【0059】

図3は、本発明の第2の実施形態における半導体装置の平面図を示す。

### 【0060】

図3の半導体装置では、第1の実施形態と同様に、素子分離絶縁膜で囲まれた素子領域10上にコの字状のゲート電極8の平行に並んだ二つの部分21、21が形成されている例を示しており、ダミーゲート電極9、9も素子分離絶縁膜上に配置してある。又、素子分離酸化膜上にゲート電極8の平行に並んだ二つの部分21、21の接続部分22が形成されている。

### 【0061】

本実施形態が図6に示した比較例と異なっている点は、素子領域10上でゲート電極8の平行に並んだ二つの部分21、21を接続せず、素子分離絶縁膜上で接続している点である。

### 【0062】

本実施例においては、ゲート電極8の伸びる方向を変更可能、すなわち曲げることのできる位置は、素子領域10と素子分離絶縁膜の境界より距離C以上離れた位置であることを特徴とし、この距離Cは、ゲート電極高さBに対して $C \geq 2B$ の関係を有する。

### 【0063】

このようにゲート電極間の曲げや接続の位置を設定することによって、3方向をゲート電極8に囲まれることにより、両側にのみゲート電極8又はダミーゲー

ト電極9がある領域よりも高融点金属膜が薄く堆積する場所を素子領域10から離すことができる。従って、第2のシリサイド層7の厚みを素子領域10上のある場所で実質的に均一にすることができる。

#### 【0064】

(第3の実施形態)

本発明の第3の実施形態は、ゲート電極8が1本のみである点が第1の実施形態と異なっている点であるので、この異なっている点を説明する。

#### 【0065】

図4に示すように、本実施形態の半導体装置は、素子領域10に1本のゲート電極8が形成されており、その両側に離間してダミーゲート電極9, 9が形成されている。また、ダミーゲート電極9, 9は、素子分離絶縁膜1上に形成されている。本実施形態では、ゲート電極8の両方の脇にダミーゲート電極9, 9が形成されているが、第2のシリサイド層7を均一厚みにして形成できること、および第2のシリサイド層7に対して第1のシリサイド層6を十分に厚く形成できることの二つの効果は、本実施形態も第1の実施形態と同じである。

#### 【0066】

(第4の実施形態)

本発明の第4の実施形態は、ダミーゲート電極9, 9が素子領域10に形成されている点が第3の実施形態と異なっている点であるので、この異なっている点を説明する。

#### 【0067】

図5に示すように、本実施形態の半導体装置は、素子領域10に1本のゲート電極8が形成されており、その両側に離間してダミーゲート電極9, 9が形成されている。また、ダミーゲート電極9, 9も、素子領域10上に形成されている。

#### 【0068】

本実施形態では、ダミーゲート電極9, 9と素子分離絶縁膜1との間の素子領域10上にもシリサイド層17が形成されていて、このシリサイド層17の厚みは、第2のシリサイド層7の厚みよりも大きい。けれども、このシリサイド層1

7は、MOSトランジスタ20の動作には関与しないので、第2のシリサイド層と厚みが異なっても問題は生じない。

#### 【0069】

本実施形態では、ゲート電極8の両方の脇にダミーゲート電極9, 9が形成されているが、第2のシリサイド層7を均一厚みにして形成できること、および第2のシリサイド層7に対して第1のシリサイド層6を十分に厚く形成できることの二つの効果は、本実施形態も第1の実施形態と同じである。

#### 【0070】

これまで説明した実施形態では、高融点金属としてCoを用い、シリサイドとしてCoSi<sub>2</sub>を用いているが、高融点金属にTi、シリサイドとしてTiSi<sub>2</sub>を用いてもよく、また高融点金属にNi、シリサイドとしてNiSiを用いてもよい。

#### 【0071】

##### 【発明の効果】

本発明に係る半導体装置および半導体装置の製造方法を採用することによって、ソースドレイン拡散層上のシリサイド膜厚を実質的に均一にして、且つゲート電極上とソースドレイン拡散層との間で、シリサイド膜厚差を生じさせることができ可能となった。ゲート電極高さBが高ければ高いほど、又、ゲート電極間距離A（ゲート電極-ダミーゲート電極間距離）が短ければ短いほど、ゲート電極上とソースドレイン拡散層との間で膜厚差を大きくすることが可能である。

#### 【0072】

したがって、微細化にともなって要求される、ゲート電極上シリサイド膜の厚膜化（シート抵抗低減と断線防止）と、ソースドレイン拡散層の浅接合化にともなうシリサイド膜厚の薄膜化（接合リーコ電流上昇の防止）とを両立させることができ可能となる。

##### 【図面の簡単な説明】

#### 【図1】

（a）は本発明の第1の実施形態における半導体装置の平面模式図、（b）はX-X'線断面模式図、（c）はY-Y'線断面模式図である。

## 【図2】

第1の実施形態における半導体装置の製造工程の断面模式図である。

## 【図3】

本発明の第2の実施形態における半導体装置の平面模式図である。

## 【図4】

(a) は本発明の第3の実施形態における半導体装置の平面模式図、(b) は X-X' 線断面模式図である。

## 【図5】

(a) は本発明の第4の実施形態における半導体装置の平面模式図、(b) は X-X' 線断面模式図である。

## 【図6】

(a) は比較例の半導体装置の平面模式図、(b) は X-X' 線断面模式図、(c) は Y-Y' 線断面模式図である。

## 【図7】

(a) は本発明の第1の実施形態における半導体集積回路のゲート電極部分の平面模式図、(b) は Z-Z' 線断面模式図である。

## 【符号の説明】

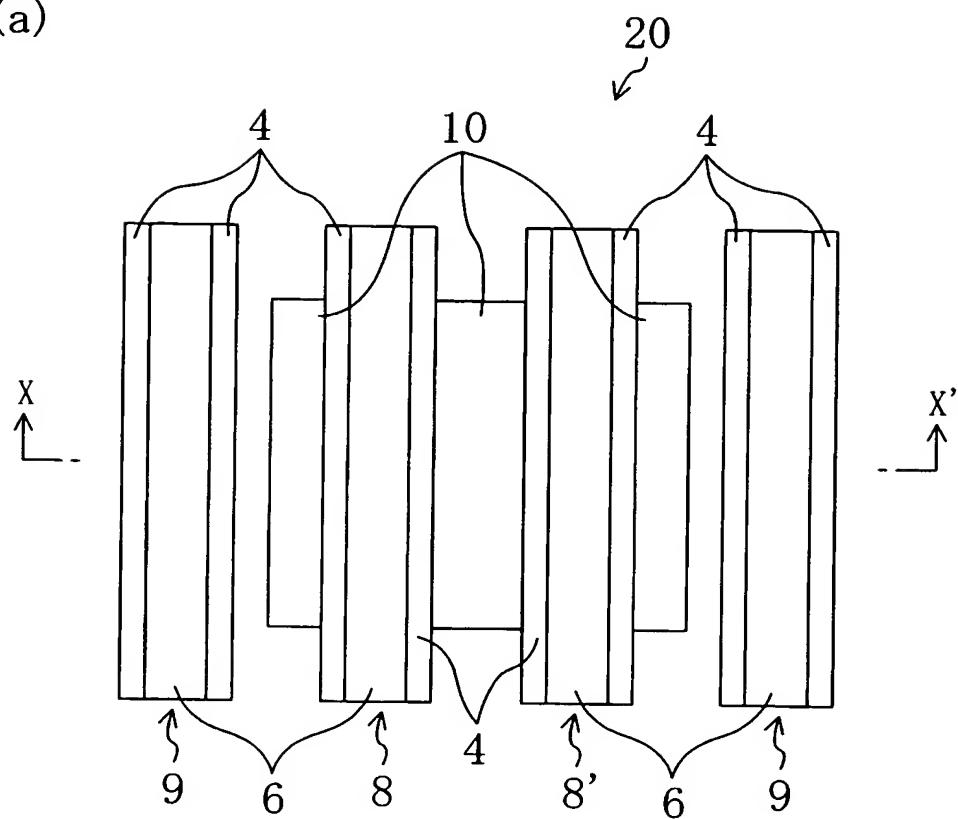
- 1 素子分離絶縁膜
- 2 ゲート絶縁膜
- 3 ポリシリコン膜
- 4 サイドウォール
- 5 ソースドレイン拡散層
- 6 第1のシリサイド層
- 7 第2のシリサイド層
- 8 ゲート電極
- 8' 他のゲート電極
- 9 ダミーゲート電極
- 10 素子領域（アクティブ領域）
- 11 高融点金属膜（金属膜）

- 20 MOSトランジスタ
- 21 平行に延びるゲート電極部分
- 22 接続部分
- 30 半導体基板
- A ゲート電極間又はゲート-ダミーゲート電極間距離
- B ゲート電極高さ
- C 素子分離絶縁膜と素子領域との境界からゲート電極接続部分までの距離

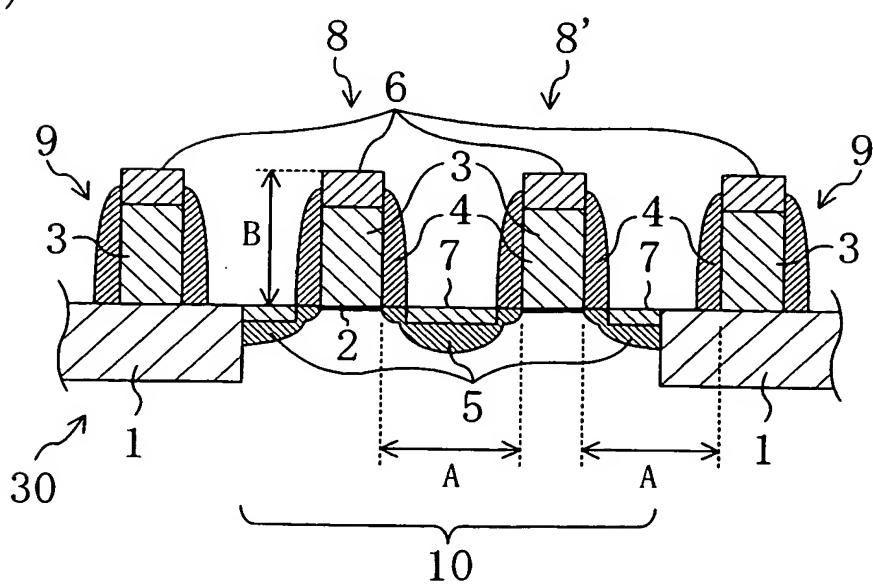
【書類名】 図面

【図1】

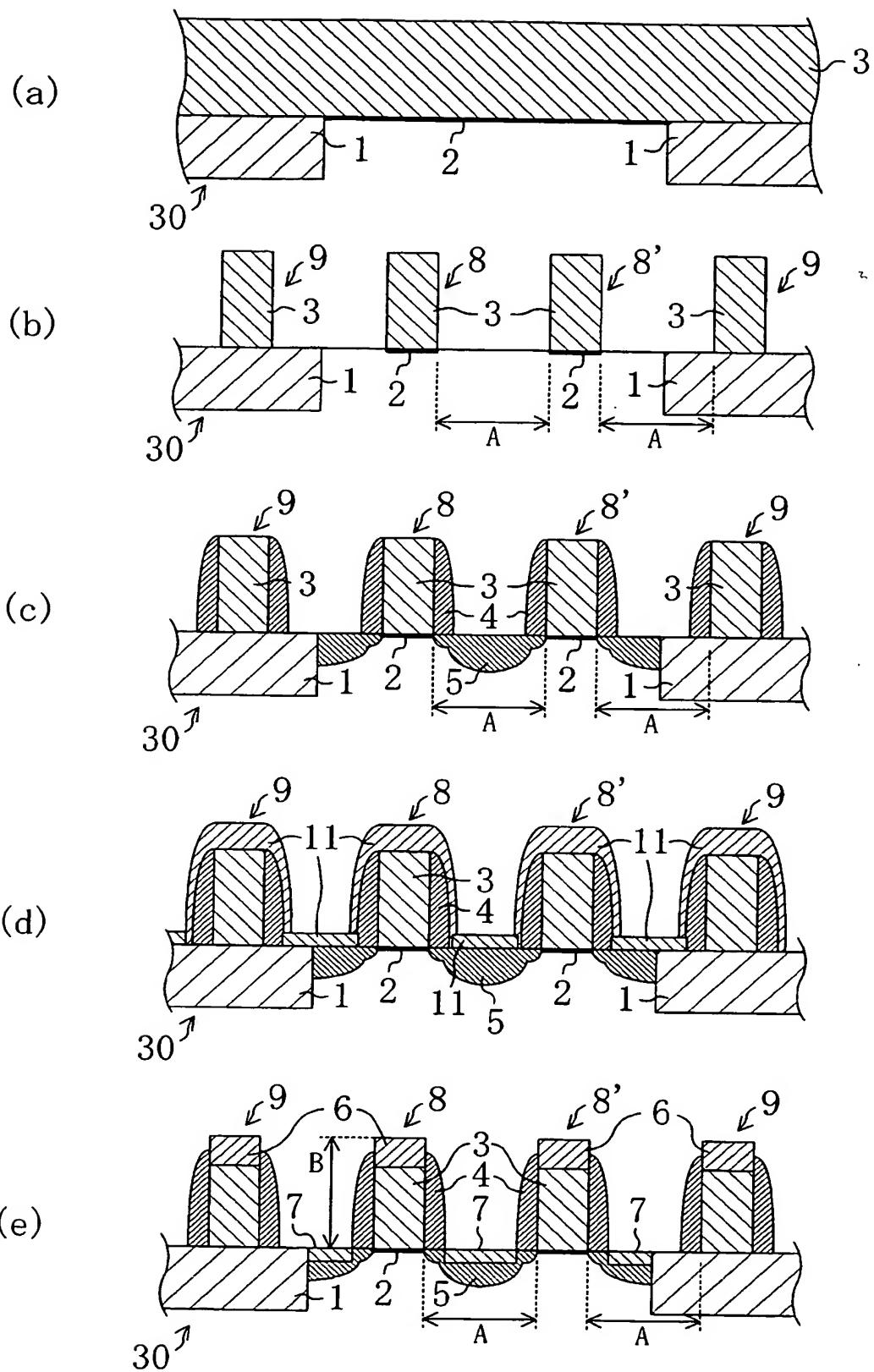
(a)



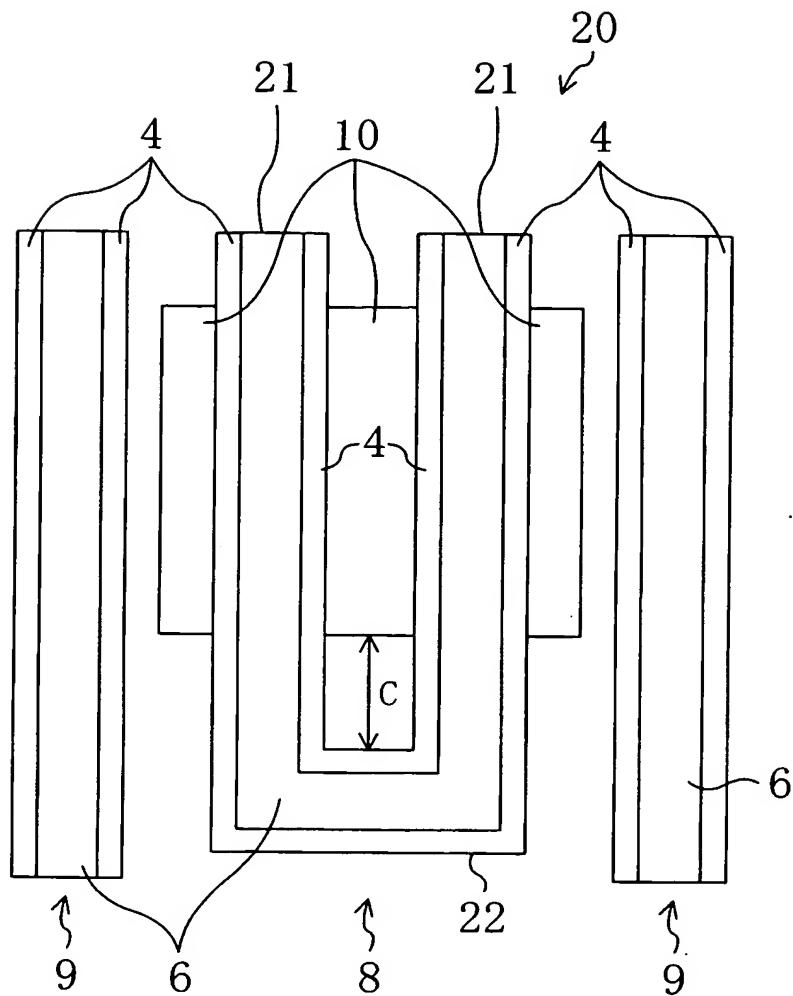
(b)



【図2】

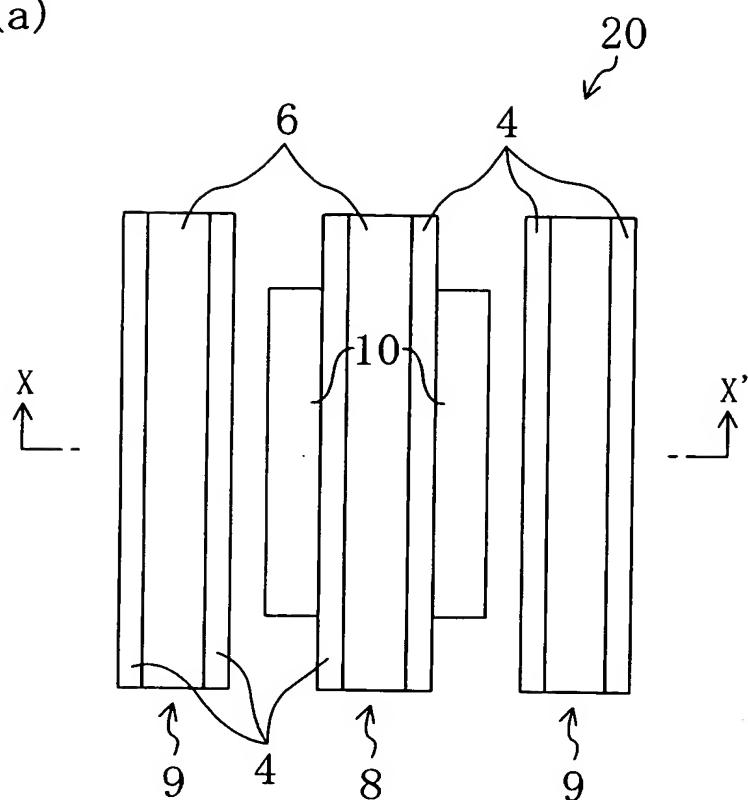


【図3】

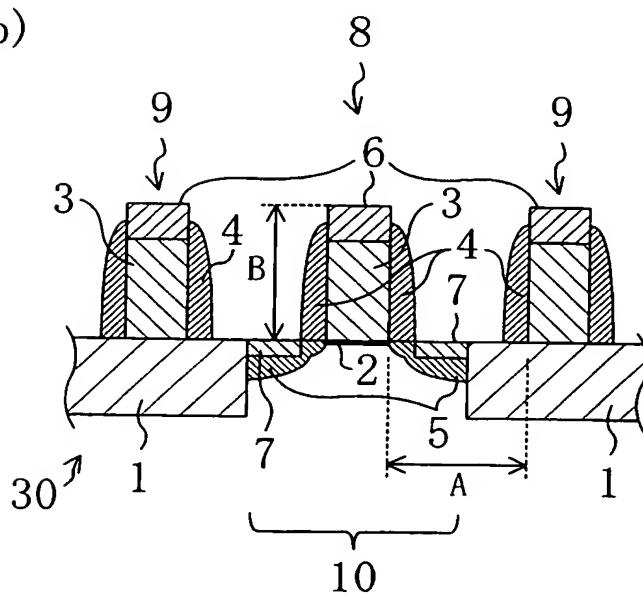


【図4】

(a)

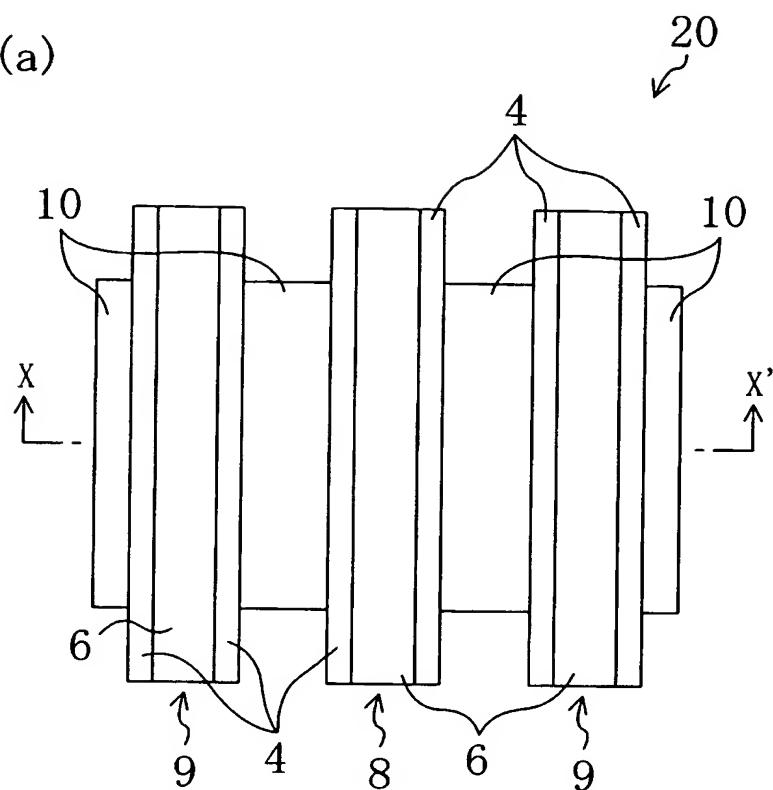


(b)

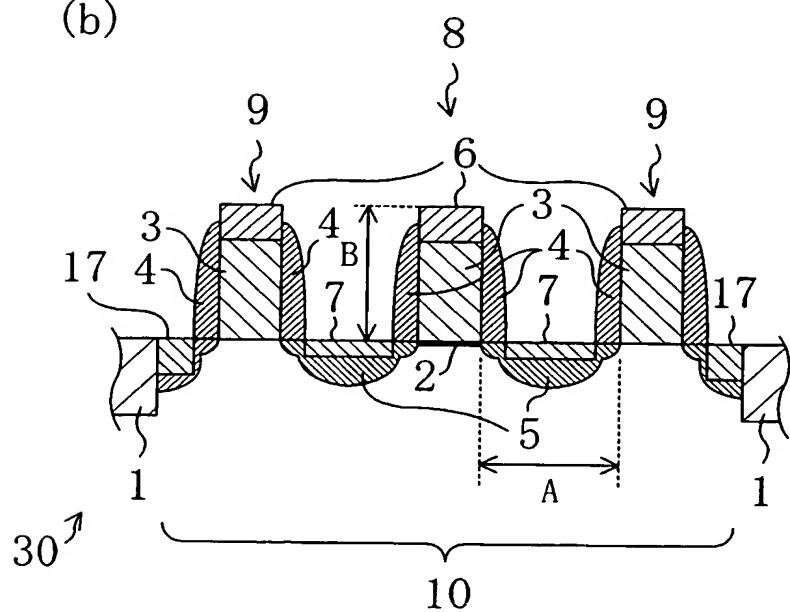


【図 5】

(a)

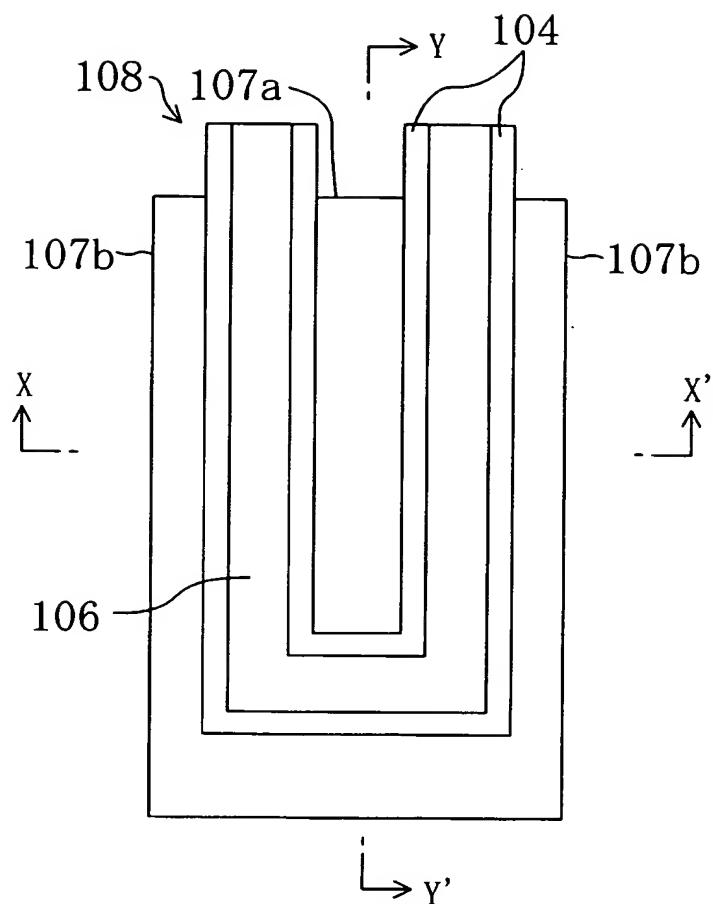


(b)

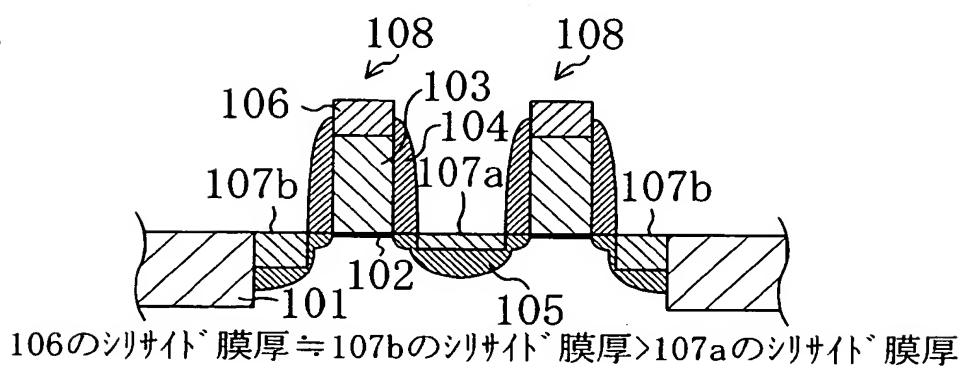


【図6】

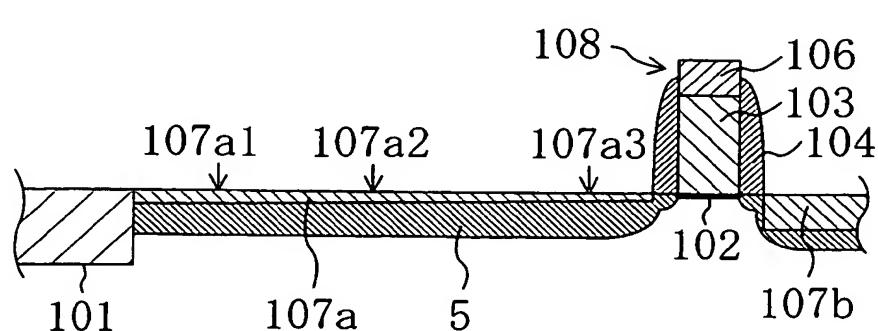
(a)



(b)

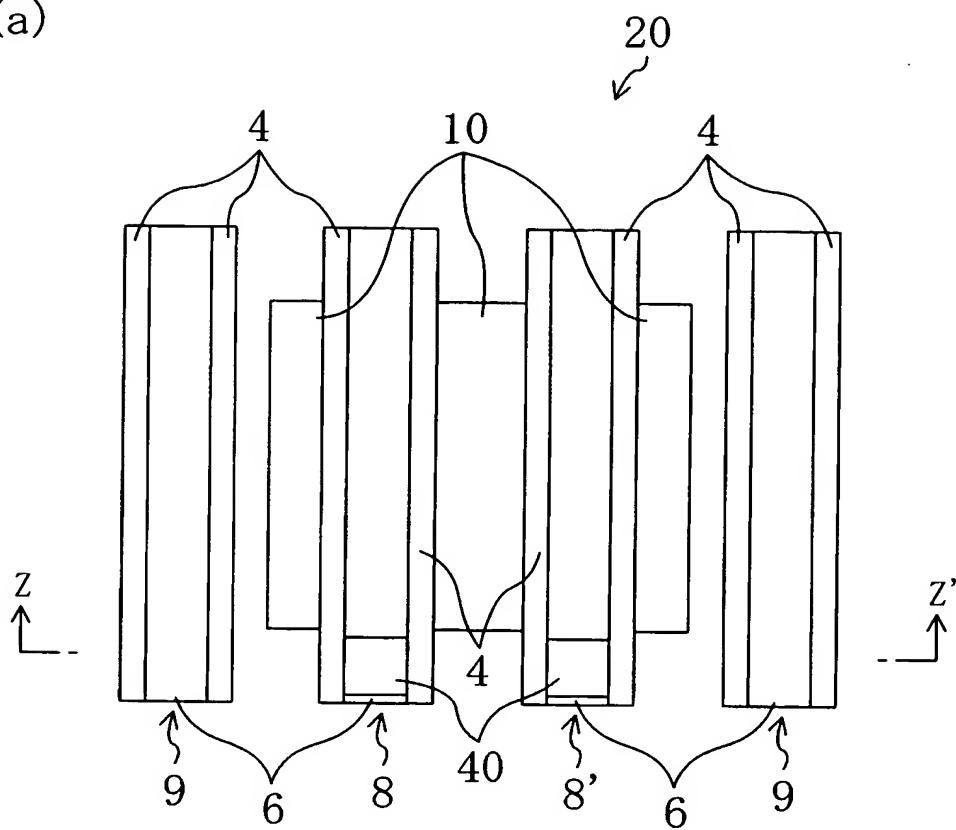


(c)

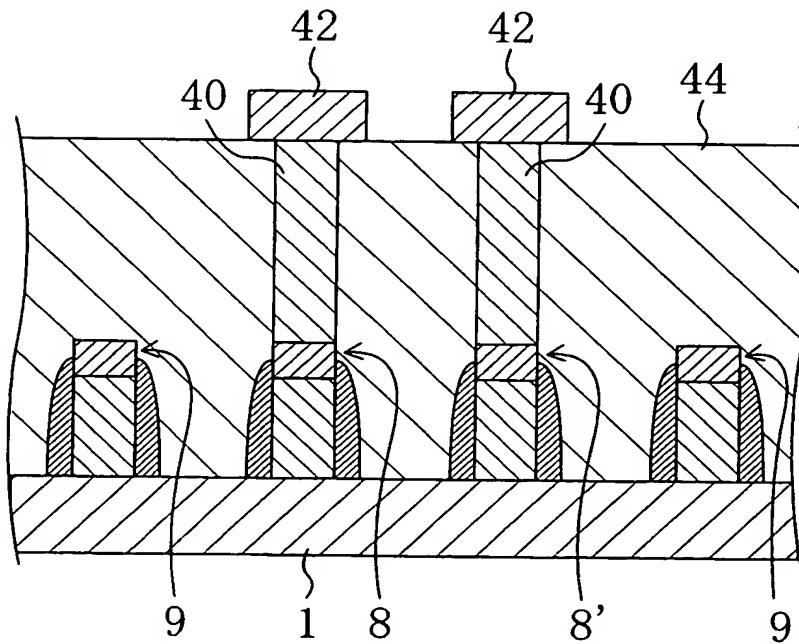


【図7】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 ソースドレイン拡散層におけるシリサイド層厚みが均一でかつゲート電極上のシリサイド層厚みは断線のおそれがない厚いものである半導体装置およびその製造方法を提供する。

【解決手段】 ゲート電極8の両側に、他のゲート電極8' とダミーゲート電極9とを配置する。高融点金属膜が形成されるときに、ゲート電極8及び他のゲート電極8' 間とゲート電極8及びダミーゲート電極9間とでは、同じ膜厚で高融点金属膜が形成されるため、ソースドレイン拡散層5上に形成される第2のシリサイド層7も素子領域10内で略均一な厚みとなる。また、ゲート電極8, 8' 上にも、同様に高融点金属膜が形成されて、それが第1のシリサイド層6となるが、第1のシリサイド層6の方が第2のシリサイド層7よりも厚く形成されるので、断線のおそれがない。

【選択図】 図1

特願 2003-058804

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住所 大阪府門真市大字門真1006番地  
氏名 松下電器産業株式会社